

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-270578
 (43) Date of publication of application : 09.10.1998

(51) Int. Cl. H01L 21/8247
 H01L 29/788
 H01L 29/792
 H01L 27/115
 H01L 29/78

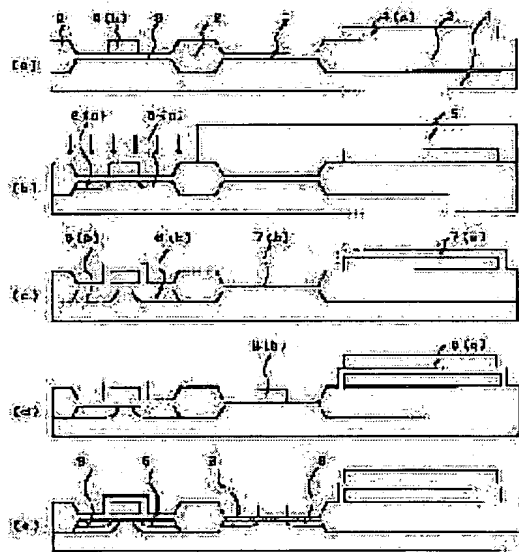
(21) Application number : 09-076280 (71) Applicant : SEIKO INSTR INC
 (22) Date of filing : 27.03.1997 (72) Inventor : WATANABE HITOMI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To unnecessitate the heat treatment process for formation of a DDD diffusion layer, and to suppress the deterioration of the quality of a gate oxide film and a tunnel oxide film in the semiconductor device using double-layer polycrystalline silicon.

SOLUTION: After formation of the gate electrode 4 (b) of a DDD transistor and the lower electrode 4 (a) of a capacitor by the first polycrystalline silicon, a DDD impurity layer 6 (a) is formed, a DDD diffusion layer 6 (b) is formed by combinedly performing a thermally oxidizing process and a DDD impurity layer diffusing process for formation of a gate oxide film 7 (b) of the transistor having the insulating oxide film 7 (a) of the capacitor and the second polycrystalline silicon as a gate electrode 8 (b). As a result, a manufacturing process is, reduced, and the quality of the gate oxide film and a tunnel oxide film can be improved by reducing a heat treatment process.



LEGAL STATUS

[Date of request for examination] 07.04.1998
 [Date of sending the examiner's decision of rejection] 03.04.2001
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270578 ✓

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

27/10

4 3 4

29/792

29/78

3 0 1 S

27/115

29/78

審査請求 有 請求項の数18 O L (全 7 頁)

(21) 出願番号

特願平9-76280

(22) 出願日

平成9年(1997)3月27日

(71) 出願人 000002325

セイコーインスツルメンツ株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 渡邊 ひと美

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコー電子工業株式会社内

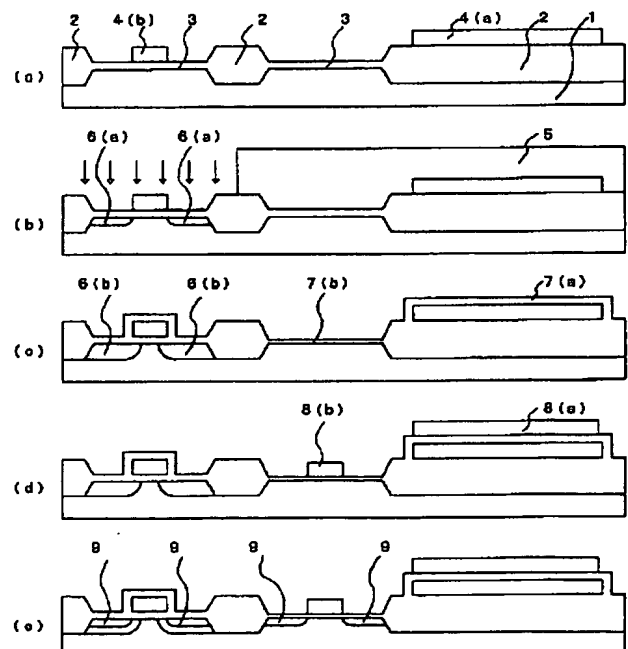
(74) 代理人 弁理士 林 敬之助

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 2層の多結晶シリコンを用いた半導体装置において、DDD拡散層形成のための熱処理工程を削減し、ゲート酸化膜質や、トンネル酸化膜質の劣化を抑える。

【解決手段】 第1の多結晶シリコンによりDDDトランジスタのゲート電極4(b)、及び容量素子の下部電極4(a)を形成した後、DDD不純物層6(a)を形成し、容量素子の絶縁酸化膜7(a)や、第2の多結晶シリコンをゲート電極8(b)とするトランジスタのゲート酸化膜7(b)形成のための熱酸化工程とDDD不純物層拡散工程を兼ねてDDD拡散層6(b)を形成することで製造工程を削減し、熱処理工程削減によるゲート酸化膜質やトンネル酸化膜質の向上を図る。



【特許請求の範囲】

【請求項1】 少なくとも2層の多結晶シリコンを用いた半導体装置において、第1の多結晶シリコンによって14V以上の耐圧を持つ高耐圧トランジスタのゲート電極が形成されていることを特徴とする半導体装置。

【請求項2】 前記高耐圧トランジスタがDDD(Double-Diffused-Drain)構造であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記高耐圧トランジスタがN-MOSTトランジスタであることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記高耐圧トランジスタのDDD拡散領域がリンにより形成されていることを特徴とする請求項2記載の半導体装置。

【請求項5】 第2の多結晶シリコンが、少なくともトランジスタのゲート電極か、容量素子の電極のいずれか一方を形成する請求項1記載の半導体装置。

【請求項6】 少なくとも2層の多結晶シリコンを用いたEEPROMにおいて、第1の多結晶シリコンによってEEPROMセルのセレクトゲート電極とフローティングゲート電極を形成していることを特徴とするEEPROM。

【請求項7】 前記セレクトゲート電極によりスイッチングされるセレクトゲートトランジスタの少なくともドレイン領域がDDD構造であることを特徴とする請求項6記載のEEPROM。

【請求項8】 第1の多結晶シリコンによって高耐圧トランジスタのゲート電極を形成することを特徴とする請求項6記載のEEPROM。

【請求項9】 前記高耐圧トランジスタがDDD構造であることを特徴とする請求項8記載のEEPROM。

【請求項10】 前記セレクトゲートトランジスタのDDD領域がリンにより形成されていることを特徴とする請求項6記載のEEPROM。

【請求項11】 第2の多結晶シリコンがEEPROMセルのコントロールゲート電極と、周辺回路を構成するトランジスタのゲート電極とを形成することを特徴とする請求項6記載のEEPROM。

【請求項12】 前記周辺回路を構成するトランジスタのゲート酸化膜厚が前記高耐圧トランジスタや、前記セレクトゲートトランジスタのゲート酸化膜厚より薄いことを特徴とする請求項11記載のEEPROM。

【請求項13】 少なくとも2層の多結晶シリコンを形成する半導体装置の製造方法において、第1の多結晶シリコン層を形成し、パターンニングしエッチング除去した後、不純物層を形成する工程と、第2の多結晶シリコン層を形成する前に熱処理を行い前記不純物層を拡散させることを特徴とする半導体装置の製造方法。

【請求項14】 前記不純物層の形成が高耐圧トランジスタのソース、ドレイン領域の少なくとも1部を形成す

る工程であることを特徴とする請求項13記載の半導体装置の製造方法。

【請求項15】 前記不純物層がリンのイオン注入法により形成されることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】 前記熱処理が第2の多結晶シリコンをゲート電極に持つトランジスタのゲート酸化膜、もしくは第2の多結晶シリコンを容量素子の電極とする容量の絶縁酸化膜形成のための熱酸化工程であることを特徴とする請求項13記載の半導体装置の製造方法。

【請求項17】 前記熱処理が1000℃以上1100℃以下の温度であることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 前記熱処理が乾燥酸素雰囲気で行われることを特徴とする請求項17記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係わり、特に2層の多結晶シリコンを形成する過程を有する高耐圧MOSTトランジスタの構造、及び高耐圧MOSTトランジスタを利用した半導体装置の構造と、その各々の製造方法に関する。

【0002】

【従来の技術】従来、半導体基板上に2層の多結晶シリコンを用いてDDD(Double-Diffused-Drain)型MOSTトランジスタと共に容量素子や、異種のMOSTトランジスタを形成するため以下の工程を用いてきた。まず図3(a)に示すように、シリコン基板23上に素子分離膜24と、酸化膜25を公知の技術により形成する。

【0003】次に図3(b)に示すように、公知の技術により第1の多結晶シリコンを形成後、パターンニングしエッチング除去により容量素子の下部電極26を形成する。次に図3(c)に示すように、熱酸化によって前記下部電極26上に容量素子の絶縁酸化膜27(a)や、ゲート酸化膜27(b)を形成する。次に図3(d)に示すように、公知の技術により第2の多結晶シリコンを形成後、パターンニングしエッチング除去により容量素子の上部電極28(a)や、トランジスタのゲート電極28(b)を形成する。次に図3(e)に示すように、公知の技術によりレジスト材29をパターンニングし、DDD構造にしようとするトランジスタ領域に選択的に公知の技術によりDDDとなる不純物層30(a)を形成する。

【0004】次に図3(f)に示すように、前記不純物層30(a)がDDDとして機能する拡散幅を得るために熱拡散工程によりDDD拡散層30(b)を形成する。次に図3(g)に示すように、公知の技術によりトランジスタ領域にソース、ドレイン層31を形成し、D

DDDトランジスタと容量素子、あるいは他種のトランジスタとを形成していた。

【0005】

【発明が解決しようとする課題】従来の製造方法では同一多結晶シリコンによりDDDトランジスタと他種のトランジスタのゲート電極を形成するので、以下に記載する問題点があった。

1. DDD拡散層を十分拡散させる熱拡散工程が必要のため製造工程が多い。
2. 前記熱拡散工程が比較的高温の処理であるため、前記熱拡散工程以前に形成された絶縁酸化膜、ゲート酸化膜などの膜質が劣化してしまう。
3. DDDトランジスタと他種のトランジスタのゲート酸化膜厚を変える事が困難で、それを行うにはより多くの工程を必要とする。

本発明は、従来の構造と製造方法を改善して、上述のような問題点を取り除くことを課題とする。

【0006】

【課題を解決するための手段】本発明の構造及び製造方法では、第1の多結晶シリコンによりDDDトランジスタのゲート、及び容量素子の下部電極を形成した後、DDD不純物層を形成し、容量素子の絶縁酸化膜形成や第2の多結晶シリコンをゲート電極とするトランジスタのゲート酸化膜形成のための熱酸化工程とDDD不純物層拡散工程を兼ねてDDDトランジスタを形成するので、以下に記載する作用を持つ。

1. 製造工程が削減される。
2. 熱処理工程が減るので、絶縁酸化膜、ゲート酸化膜の膜質が向上する。
3. DDDトランジスタと他種のトランジスタのゲート酸化を別々に行えるので、前記各々のゲート酸化膜厚を変えることが容易である。

【0007】

【発明の実施の形態】本発明の第1の実施例を以下に説明する。まず図1(a)に示すように、シリコン基板1上に素子分離膜2と、第1のゲート酸化膜3と、第1の多結晶シリコンにより容量素子の下部電極4(a)と、第1のトランジスタのゲート電極4(b)とを公知の技術により形成する。次に図1(b)に示すように、公知の技術によりレジスト材5をパターニングし、第1のトランジスタ領域に選択的に例えばイオン注入法などによりDDDとなる不純物層6(a)を形成する。

【0008】次に図1(c)に示すように、もし必要であれば第2のトランジスタ領域上の第1のゲート酸化膜を除去後、熱酸化によって容量素子の絶縁酸化膜7

(a)と、第2のトランジスタの第2のゲート酸化膜7(b)を形成する。この時の熱酸化工程によって先に形成されている前記不純物層6(a)が拡散され、DDD拡散層6(b)を形成することになる。次に図1(d)に示すように、第2の多結晶シリコンにより容量素子の

上部電極8(a)と、第2のトランジスタのゲート電極8(b)を公知の技術により形成する。

【0009】次に図1(e)に示すように、第1、及び第2のトランジスタ領域にソース、ドレイン拡散層9を公知の技術により形成し、DDDトランジスタと容量素子、あるいは他種のトランジスタとを形成する。以上のようにして形成されたDDDトランジスタは第1の多結晶シリコンをゲート電極とするので、第2の多結晶シリコンをゲート電極とする第2のトランジスタのゲート酸化と、容量素子の絶縁膜形成の酸化工程をDDD拡散の熱処理工程として兼用でき、DDDの熱拡散工程の削減となる。ここで上記第1の実施例が多結晶シリコンを2層用いてDDDトランジスタと、他種のトランジスタと、容量素子を形成する場合のみでなく、以下に記載する場合にも同様の作用、効果が得られることは言うまでもない。

1. 多結晶シリコンを2層用いてDDDトランジスタと、他種のトランジスタを形成する場合。
2. 多結晶シリコンを2層用いてDDDトランジスタと、容量素子を形成する場合。

【0010】本発明の第1の実施例ををEEPROMに応用した第2の実施例を以下に説明する。EEPROMは、例えば10V以下の電源電圧範囲で十分に動作すれば良い周辺回路部と、EEPROMセルアレイ部と、EEPROMセルの書き込みに必要な電圧、通常は電源電圧範囲より高い例えば14V~30Vの電圧下で十分動作する高電圧駆動回路部を持つ。

【0011】よって書き込みのために高電圧がかかるEEPROMセルと高電圧駆動回路部において高耐圧トランジスタが必要となる。高耐圧化を達成する為に、トランジスタのソース、ドレイン部をDDD構造にすることはもちろん、トランジスタのゲート酸化膜厚も比較的高めにすることが望ましい。

【0012】一方周辺回路部においては、特に高耐圧トランジスタを必要とすることはなく、駆動能力やリークなどを考慮すると周辺回路トランジスタのゲート酸化膜厚は出来るだけ薄くした方がEEPROMの性能は上がる。つまり高耐圧トランジスタと周辺回路トランジスタとではソース、ドレインの構造もゲート酸化膜厚も変えることが望ましい。

【0013】またEEPROMセルには書き込みのためキャリアの移動口としてトンネル酸化膜領域があり、その酸化膜厚は通常のトランジスタのゲート酸化膜厚に比べかなり薄いため、形成後の熱処理が多いほど膜質が劣化し、トラップや界面順位の増加などにより絶縁耐圧が落ちてしまう。よって熱処理工程は出来るだけ少ない事が望ましい。

【0014】まず図2(a)に示すように、シリコン基板10上にウェル領域11と、素子分離膜12と、トンネルドレイン拡散層13と、第1のゲート酸化膜14

5

と、トンネル酸化膜領域15と、第1の多結晶シリコンによるフローティングゲートトランジスタのゲート電極16(a)と、第1の多結晶シリコンによるセレクトゲートトランジスタのゲート電極16(b)と、高耐圧トランジスタのゲート電極16(c)などを公知の技術により形成し、レジスト材17をパターンニングし、選択的にEEPROMのセルアレイ領域や、高電圧駆動回路部など高耐圧が必要とされる領域にイオン注入法などによりDDDとなる不純物層18(a)を形成する。

【0015】ここでEEPROM競争の書き込み印可電圧条件などからして、前記DDDとなる不純物層18

(a)がEEPROMセルの少なくともセレクトゲートトランジスタのドレイン側に形成されていれば良い場合があることは言うまでもない。この時例えば前記シリコン基板10はP型、前記ウェル領域11はN型、前記トンネルドレイン13はN型とし、前記第1のゲート酸化膜14の膜厚は300~1200Åの範囲で、前記トンネル酸化膜15の膜厚は50~150Åの範囲で形成する。

【0016】前記第1の多結晶シリコンはフローティングゲート電極のみならず、セレクトゲート電極、及び高耐圧トランジスタのゲート電極、配線としても使われるので、その膜厚は2500~6000Åとし、シート抵抗値を10~500Ω/sqで形成すると良い。また前記不純物層18(a)はイオン注入法であればリンを1E13~8E14atoms/cm²注入して形成すると良い。

【0017】次に図2(b)に示すように、もし必要であれば第2の多結晶シリコンをゲート電極とする周辺回路トランジスタ領域上の第1のゲート酸化膜を除去後、熱酸化によって後記形成されるコントロールゲート電極と前記フローティングゲート電極16(a)とを容量結合させるための絶縁酸化膜19(a)と、第2の多結晶シリコンをゲート電極とする周辺回路トランジスタに使用する第2のゲート酸化膜19(b)とを形成する。

【0018】同時に前記熱酸化工程によって、先に形成されている前記不純物層18(a)が拡散されDDD拡散層18(b)を形成することになる。先に説明したように周辺回路トランジスタのゲート酸化膜19(a)の膜厚は出来るだけ薄いことが望ましい、またフローティングゲート電極とコントロールゲート電極を容量結合させる前記絶縁酸化膜19(b)にはEEPROM書き込み時に高電圧がかかるため比較的高温の熱酸化によって形成される高品質の酸化膜が望ましい。

【0019】よって本発明の実施例においては周辺回路トランジスタ上の前記第1のゲート酸化膜14を除去した後、前記容量素子の絶縁酸化膜19(a)と、前記第2のゲート酸化膜19(b)とを形成するための熱酸化を1000~1100℃の乾燥酸素雰囲気中、例えば酸素のみ、あるいは酸素と窒素の混合雰囲気中による処理

6

とし、前記周辺トランジスタのゲート酸化膜19(a)の膜厚が前記高耐圧トランジスタのゲート酸化膜厚より薄く、例えば150~400Åの範囲で形成すると良い。

【0020】以上の様な熱酸化条件であれば、前記不純物層18(a)がDDDとして十分機能する拡散幅を得られる。次に図2(c)に示すように、第2の多結晶シリコンによりEEPROMセルのコントロールゲート電極20(a)と、周辺回路トランジスタのゲート電極19(b)とを公知の技術により形成する。

【0021】この時前記第2の多結晶シリコンはコントロールゲート電極と、周辺回路トランジスタのゲート電極、配線としても使われるので、その膜厚は2500~6000Åとし、シート抵抗値を10~500Ω/sqで形成すると良い。次に図2(d)に示すように、第1導電型、例えばP型のソース、ドレイン拡散層21と、第2導電型、例えばN型の砒素によるソース、ドレイン拡散層22とを公知の技術により形成し、DDDトランジスタをセレクトゲートにしたEEPROMセルや、各種回路を形成する。

【0022】この時図2の構造において高耐圧駆動回路部にDDD構造のCMOS回路を形成させる場合には、図2(b)に示された前記第2のゲート酸化膜19(a)、並びに容量絶縁膜19(b)を形成する前に、ウェル領域中に不純物層18(a)とは逆導電型の不純物層を持つ第1の多結晶シリコン層をゲート電極としたトランジスタ領域を形成し、酸化膜19(a)と酸化膜19(b)を形成する熱酸化にてDDD拡散層とすればよいことは言うまでもない。

【0023】従来は第1の多結晶シリコンによってフローティングゲート電極のみを形成し、第2の多結晶シリコンによって周辺回路トランジスタと、DDDトランジスタとコントロールゲート電極を形成していたため容量絶縁膜形成のための酸化と、必要であれば高耐圧トランジスタと周辺回路トランジスタの酸化膜厚を変えるため、各々のゲート酸化の工程が必要であった。

【0024】しかし以上のようにして形成されたEEPROMはDDDトランジスタは第1の多結晶シリコンをゲート電極とし、第2の多結晶シリコンを周辺回路トランジスタのゲート電極とするので、第2の多結晶シリコンをゲート電極とする周辺回路トランジスタのゲート酸化工程と、フローティングゲート電極とコントロールゲート電極間の絶縁膜形成の熱酸化工程を1度の熱酸化工程で行え、かつDDD拡散の為の熱工程としても兼用できるため、周辺トランジスタのゲート酸化工程、及びDDDの熱拡散工程の2工程を削減できる。

【0025】

【発明の効果】本発明は以上説明したように、DDDトランジスタが第1の多結晶シリコンをゲート電極とするので、第2の多結晶シリコンをゲート電極とする第2の

7

トランジスタのゲート酸化や、容量素子の絶縁酸化膜形成の熱酸化工程とDDD拡散の為の熱処理が兼用でき、工程の削減により製造コストを削減できる。

【0026】特にEEPROMにおいてはDDDトランジスタを第1の多結晶シリコンをゲート電極とし、第2の多結晶シリコンを周辺回路トランジスタのゲート電極とするので、第2の多結晶シリコンをゲート電極とする周辺回路トランジスタのゲート酸化工程と、フローティングゲート電極とコントロールゲート電極間の絶縁酸化膜形成の熱酸化工程を1度の熱酸化工程で行え、かつDDD拡散の為の熱処理工程としても兼用できるため、周辺トランジスタのゲート酸化工程、及びDDDの熱拡散工程の2工程削減となり、高耐圧駆動回路部と周辺回路部でゲート酸化膜厚の異なるトランジスタを容易に形成できる。

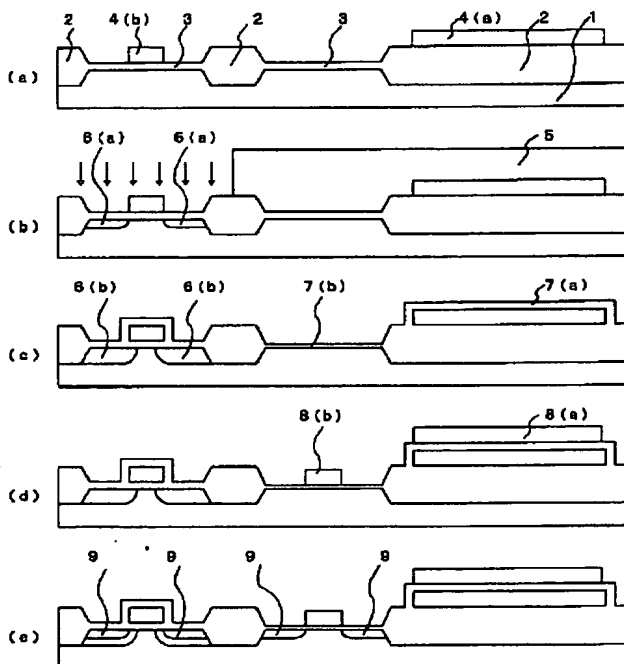
【0027】よって工程削減により製造コストの削減ができ、EEPROMの性能を上げることもでき、かつ2度の熱酸化工程の削減によりトンネル酸化膜へのトラップや、界面順位の増加等が抑えられ酸化膜質が向上し、EEPROMセルの書き換え寿命などが上昇し信頼性の向上も図られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明図である。

【図2】本発明の第2の実施例の説明図である。

【図1】



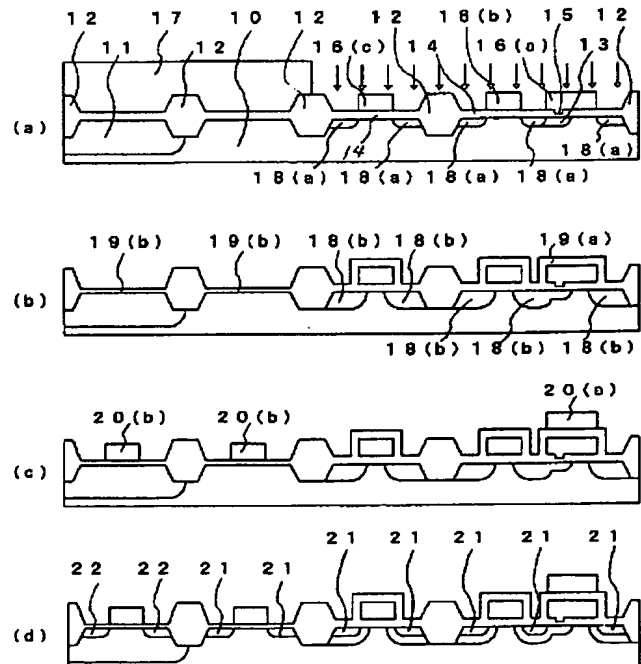
8

【図3】従来の技術の説明図である。

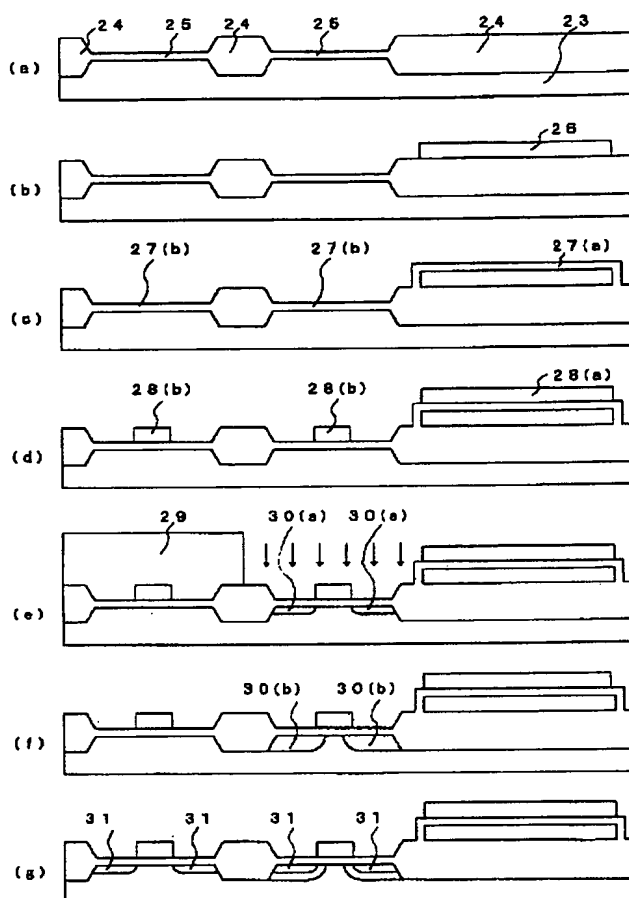
【符号の説明】

- 1 シリコン基板
- 10 シリコン基板
- 23 シリコン基板
- 11 ウェル領域
- 2, 12, 24 素子分離膜
- 3, 7(b), 14, 19(b), 27(b) ゲート酸化膜
- 25 酸化膜
- 4(a) 容量素子の下部電極
- 26 容量素子の下部電極
- 4(b), 8(b), 16(c), 20(b), 28(b), ゲート電極
- 16(a) フローティングゲート電極
- 16(b) セレクトゲート電極
- 5, 17, 29 レジスト材
- 6(a), 18(a), 30(a) 不純物層
- 6(b), 18(b), 30(b) DDD拡散層
- 7(a) 容量素子の絶縁酸化膜
- 19(a), 27(a) 容量素子の絶縁酸化膜
- 8(a), 28(a) 容量素子の上部電極
- 20(a) コントロールゲート電極
- 9, 21, 22, 31 ソース、ドレイン拡散層

【図2】



【図3】



【手続補正書】

【提出日】平成10年4月7日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 少なくとも2層の多結晶シリコンを用いた半導体装置において、第1の多結晶シリコンによって14V以上の耐圧を持つ高耐圧トランジスタのゲート電極が形成されていることを特徴とする半導体装置。

【請求項2】 前記高耐圧トランジスタがDDD (Double-Diffused-Drain) 構造であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記高耐圧トランジスタがN-MOSTトランジスタであることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記高耐圧トランジスタのDDD拡散領

域がリンにより形成されていることを特徴とする請求項2記載の半導体装置。

【請求項5】 第2の多結晶シリコンが、少なくともトランジスタのゲート電極か、容量素子の電極のいずれか一方を形成する請求項1記載の半導体装置。

【請求項6】 少なくとも2層の多結晶シリコンを用いたEEPROMにおいて、第1の多結晶シリコンによってEEPROMセルのセレクトゲート電極とフローティングゲート電極を形成していることを特徴とするEEPROM。

【請求項7】 前記セレクトゲート電極によりスイッチングされるセレクトゲートトランジスタの少なくともドレイン領域がDDD構造であることを特徴とする請求項6記載のEEPROM。

【請求項8】 第1の多結晶シリコンによって高耐圧トランジスタのゲート電極を形成することを特徴とする請求項6記載のEEPROM。

【請求項9】 前記高耐圧トランジスタがDDD構造で

あることを特徴とする請求項8記載のEEPROM。

【請求項10】 前記セレクトゲートトランジスタのDD領域がリンにより形成されていることを特徴とする請求項7記載のEEPROM。

【請求項11】 第2の多結晶シリコンがEEPROMセルのコントロールゲート電極と、周辺回路を構成するトランジスタのゲート電極とを形成することを特徴とする請求項6記載のEEPROM。

【請求項12】 前記周辺回路を構成するトランジスタのゲート酸化膜厚が前記高耐圧トランジスタや、前記セレクトゲートトランジスタのゲート酸化膜厚より薄いことを特徴とする請求項11記載のEEPROM。

【請求項13】 少なくとも2層の多結晶シリコンを形成する半導体装置の製造方法において、第1の多結晶シリコン層を形成し、パターンングしエッチング除去した後、不純物層を形成する工程と、第2の多結晶シリコン層を形成する前に熱処理を行い前記不純物層を拡散させることを特徴とする半導体装置の製造方法。

【請求項14】 前記不純物層の形成が高耐圧トランジスタのソース、ドレイン領域の少なくとも1部を形成する工程であることを特徴とする請求項13記載の半導体装置の製造方法。

【請求項15】 前記不純物層がリンのイオン注入法により形成されることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】 前記熱処理が第2の多結晶シリコンをゲート電極に持つトランジスタのゲート酸化膜、もしくは第2の多結晶シリコンを容量素子の電極とする容量の絶縁酸化膜形成のための熱酸化工程であることを特徴とする請求項13記載の半導体装置の製造方法。

【請求項17】 前記熱処理が1000℃以上1100℃以下の温度であることを特徴とする請求項16記載の

半導体装置の製造方法。

【請求項18】 前記熱処理が乾燥酸素雰囲気で行われることを特徴とする請求項17記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】本発明の第1の実施例をEEPROMに応用した第2の実施例を以下に説明する。EEPROMは、例えば10V以下の電源電圧範囲で十分に動作すれば良い周辺回路部と、EEPROMセルアレイ部と、EEPROMセルの書き込みに必要な電圧、通常は電源電圧範囲より高い例えば14V～30Vの電圧下で十分動作する高電圧駆動回路部を持つ。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】ここでEEPROMセルの書き込み印可電圧条件などからして、前記DDDとなる不純物層18

(a)がEEPROMセルの少なくともセレクトゲートトランジスタのドレイン側に形成されていれば良い場合があることは言うまでもない。この時例えば前記シリコン基板10はP型、前記ウェル領域11はN型、前記トンネルドレイン13はN型とし、前記第1のゲート酸化膜14の膜厚は300～1200Åの範囲で、前記トンネル酸化膜15の膜厚は50～150Åの範囲で形成する。